

Korean Patent Abstracts

(11) Publication Number: **980082870 A**

(43) Date of publication of application: 05.12.1998

(21) Application number: 970017969

(22) Date of filing: 09.05.1997

(51) Int'. Cl

H01L 21/28

(57) Abstract:

The present invention discloses method of forming an electric wiring layer for filling in contact hole by using two wetting layers in the contact hole. The method of forming the electric wiring layer comprises steps of patterning of contact hole on the bottom layer, forming a barrier layer on the contact hole and bottom layer, forming a wetting layer on the bottom of the contact hole and on the bottom layer, forming the metal electric wiring layer on the wetting layer and reflowing of the metal electric wiring layer for filling metal electric wiring layer in the contact hole. Therefore, dry etching step for forming a react layer may be unnecessary.

COPYRIGHT 2001 KIPO

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/28

(11) 공개번호 특1998-082870
(43) 공개일자 1998년 12월 05일

(21) 출원번호	특1997-017969
(22) 출원일자	1997년 05월 09일
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 유봉영 서울특별시 강남구 삼성동 상아아파트 4동 1002호 최시영 경기도 성남시 분당구 서현동 96 우성아파트 221동 501호

심사청구 : 없음

(54) 반도체 장치의 콘택홀 내부를 채우는 배선층의 형성방법

요약

금속배선 공정에서 콘택홀의 내부에 두 개의 웨트층(Wetting layer)을 이용하여 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법에 관하여 개시한다. 본 발명은 하지막에 콘택홀을 패터닝하는 제1 공정과, 상기 콘택홀과 하지막 상에 장벽층을 형성하는 제2 공정과, 상기 장벽층의 상부에 반응층(reactive layer)을 형성하는 제3 공정과, 상기 하지막의 표면 상부와 콘택홀의 바닥에 웨트층(wetting)을 형성하는 제4 공정과, 상기 결과물의 전면에 금속배선을 형성하는 제5 공정과, 상기 금속배선에 리플로우를 진행하는 제6 공정을 포함하는 것을 특징으로 하는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법을 제공한다. 따라서 반응층을 형성하기 위하여 추가되는 건식 식각 공정을 생략할 수 있다.

대표도

도6

명세서

도면의 간단한 설명

도 1 내지 도6은 본 발명에 따른 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법을 설명하기 위하여 도시한 단면도들이다.

* 도면의 주요부분에 대한 부호의 상세한 설명 *

100: 하지막, 102: 콘택홀,
104: 장벽층, 106: 접착층,
108: 웨트층, 110: 금속배선,
112: 리플로우 후의 금속배선.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 상세하게는 금속배선 공정에서 콘택홀의 내부에 두 개의 웨트층(Wetting layer)을 이용하여 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법에 관한 것이다.

반도체 제조공정중 금속배선 공정에서 금속배선의 재료로 대표적으로 이용되는 알루미늄(Al)과, 차세대 금속배선의 재료로 각광을 받고 있는 구리(Cu)는 금속배선을 형성하는데 있어 단차도포성(step coverage)이 양호한 화학기상증착법(CVD: Chemical Vapor Deposition)을 이용하여 형성하는 것이 매우 어렵다. 따라서, 현재 반도체 소자의 제조공정에서 보편적으로 이용하고 있는 방법은 PVD(Physical Vapor Deposition), 즉 스퍼터링(sputtering) 방식이다. 이러한 스퍼터링 방식에 의하여 형성된 금속배선층은 막질 내부에 불순물의 농도가 낮고, 증착시에 하부막질에 대한 침해(Attack)가 없고, 또한 금

속배선의 표면에 모울포로지(Morphology)가 양호한 특성을 갖고 있으나 단차도포성(step coverage)이 나빠서 콘택홀이나 트랜치(trench) 내부를 채우는 데에는 적합하지 않은 문제점이 있다. 이러한 문제점을 개선하기 위하여 콜리메이터(collimator) 스퍼터링이나 LPS(Low Pressure sputtering), TSP(Two step planarization) 등의 방법을 이용하고, 후속공정에서 리플로우(reflow) 공정을 추가로 진행하여 콘택홀이나 트랜치 내부의 단차도포성을 향상시키고 있다. 이러한 리플로우 공정은 콘택홀이나 트랜치가 형성된 반도체 기판에 매몰하고자 물질층을 증착한 후, 고온에서 열처리(annealing)를 실시하여 증착물질의 유동도(mobility)를 향상시킴과 동시에 접촉 모울포로지(contact morphology)에 따른 증착물질의 표면 에너지(surface energy)차를 이용하여 콘택홀을 매몰시키는 방법이다.

그러나 기존의 리플로우 방법에 있어서는 콘택홀의 종횡비(aspect ratio)가 커지는 초고집적회로(ULSI)에서는 콘택홀의 완전한 매몰이 일어나지 않고, 콘택홀의 내부에 보이드와 같은 문제가 발생하고 있으며, 증착물질이 구리(Cu)와 같은 고용점 금속일 경우에는 이러한 문제가 더욱 심각해진다.

이를 방지하기 위하여 콘택홀의 측벽에 반응층 스페이서(reactive layer spacer)를 형성하여 콘택홀의 측벽에서 금속배선 물질과의 접착 특성을 향상시킴으로써 리플로우 특성을 향상시키고자 하는 방법이 미합중국 특허 제 5,534,463호(제목: Method for forming a wiring layer, Date of Patent: Jul, 9, 1996)에 개시된 바 있다. 그러나 콘택홀의 측벽에서 접착 특성을 향상시키기 위하여 사용하는 반응층 스페이서는 그 형성과정에서 등방성의 건식식각 공정이 반드시 수반되어야 한다. 이 경우, 드라이 에칭을 수행하는 과정에서 하부층에 대한 침해(attack)의 발생 가능성과, 식각종말점(etching stop point)을 조절하기 어려운 새로운 과제가 떠오른다.

발명이 이루고자하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 금속배선 공정에서 한 개의 반응층과 한 개의 웨트층을 사용하여 접착특성을 개선함과 동시에 건식식각을 수행하지 않고 콘택홀을 매몰할 수 있는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여 본 발명은 하지막에 콘택홀을 패터닝하는 제1 공정과, 상기 콘택홀과 하지막 상에 장벽층을 형성하는 제2 공정과, 상기 장벽층의 상부에 반응층(reactive layer)을 형성하는 제3 공정과, 상기 하지막의 표면 상부와 콘택홀의 바닥에 웨트층(wetting)을 형성하는 제4 공정과, 상기 결과물의 전면에 금속배선을 형성하는 제5 공정과, 상기 금속배선에 리플로우를 진행하는 제6 공정을 포함하는 것을 특징으로 하는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 웨트층을 형성하는 방법은 콜리메이터 스퍼터링이나 Ionized PVD 방법을 사용하여 형성하는 것이 적합하다.

또한, 상기 웨트층은 TiN, Ta 및 WN 중에서 선택된 하나의 물질로서 리플로우 공정에서 금속배선과 웨팅(wetting) 특성이 나쁜 물질을 이용하는 것이 바람직하다.

본 발명에 따르면, 반응층과 웨트층을 교대로 형성하여, 상기 반응층은 콘택홀의 측벽에만 노출시키고, 웨트층은 하지막의 상부 및 콘택홀의 바닥에만 형성함으로써 추가되는 건식식각 공정을 생략할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 자세히 설명하고자 한다.

도 1 내지 도 6은 본 발명에 따른 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법을 설명하기 위하여 도시한 단면도들이다.

도 1을 참조하면, 하지막(100)에 포토레지스트를 도포하고 사진 및 식각공정을 진행하여 콘택홀(102)을 형성한다. 이때, 상기 하지막(100)은 콘택홀(102)이 트랜치인 경우에는 반도체 기판이 되고, 매몰 콘택홀이나 비어(Via) 콘택홀인 경우에는 층간절연막이 된다.

도 2를 참조하면, 상기 콘택홀(102)이 형성된 결과물 상에 장벽층(104)을 적층한다. 이때 상기 장벽층(104)의 기능은 후속공정에서 증착될 금속배선과 하지막(100)과의 화학반응 및 확산을 방지하는 역할을 한다.

도 3을 참조하면, 상기 장벽층(104) 상에 반응층(Reactive later, 106)을 적층한다. 이러한 반응층(106)은 콘택홀(102)의 측벽에서 후속공정에서 증착되는 금속배선과 접착특성이 양호한 물질로서 Ti, TiN, Ta 및 Al 중에 하나를 이용하여 형성한다.

도 4를 참조하면, 상기 반응층(106)이 형성된 결과물의 전면에 콜리메이터 스퍼터링이나 Ionized PVD 방식을 사용하여 웨트층(108)을 형성한다. 이때, 상기 웨트층(108)을 형성하는 방법은 단차도포성이 극히 나쁜 물질, 예컨대 TiN, Ta, WN 등과 상기 방식을 사용하기 때문에 웨트층(108)은 하지막의 표면 상부에 있는 반응층(106)과, 콘택홀(102)의 바닥 상부에 있는 반응층(106)에만 형성되고 콘택홀의 측벽에는 형성되지 않는다. 바람직하게는 상기 웨트층(108)의 두께는 500 Å 이하로 형성하는 것이 적합하다. 종래에는 웨트층(108)을 형성하는 대신에 콘택홀의 측벽만을 제외한 반응층(106)을 모두 건식식각 방식으로 제거하였지만, 본 발명에서는 웨트층을 형성 재질 및 방법이 갖는 단차도포성을 이용하여 선택적으로 형성하여 건식식각 공정을 생략할 수 있다.

도 5를 참조하면, 상기 웨트층(108)이 형성된 결과물에 금속배선(110)을 알루미늄(Al)이나 구리(Cu)를 사용하여 증착한다. 이때, 단차도포성으로 인하여 콘택홀을 완전히 매몰되지 않고 남아 있게 된다.

도 6을 참조하면, 상기 도 5의 결과물에 300°C 이상의 온도로 리플로우(reflow) 공정을 진행한다. 상기 리플로우(reflow)가 진행되는 동안에 웨트층(108) 상부에 있는 금속배선(110)은 유동도(mobility)가 개

선되고, 콘택홀의 측벽, 즉 반응층(106)에서는 접착특성이 양호해져서 콘택홀(102) 내부에서 금속배선(110)이 불연속적으로 형성되는 문제를 해결할 수 있는 리플로우 후의 금속배선(112)을 형성할 수 있다.

본 발명은 상술한 실시예에 한정되지 않으면, 당 분야의 통상의 지식을 가진 자에 의하여 그 변형이 가능함은 명백하다.

발명의 효과

따라서, 본 발명에 의하면 건식식각 공정을 생략할 수 있는 반도체 장치의 콘택홀 내부를 채우는 배선층의 형성방법을 구현할 수 있다.

(57) 청구의 범위

청구항 1

하지막에 콘택홀을 패터닝하는 제1 공정;

상기 콘택홀과 하지막 상에 장벽층을 형성하는 제2 공정;

상기 장벽층의 상부에 반응층(reactive layer)을 형성하는 제3 공정;

상기 하지막의 표면 상부와 콘택홀의 바닥에 웨트층(wetting)을 형성하는 제4 공정;

상기 결과물의 전면에 금속배선을 형성하는 제5 공정; 및

상기 금속배선에 리플로우를 진행하는 제6 공정을 포함하는 것을 특징으로 하는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법.

청구항 2

제1항에 있어서, 상기 웨트층을 형성하는 방법은 콜리메이터 스퍼터링이나 Ionized PVD 방법을 사용하여 형성하는 것을 특징으로 하는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법.

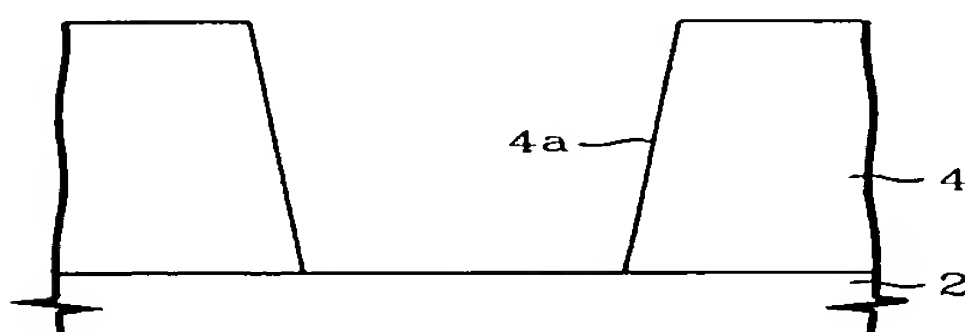
청구항 3

제1항에 있어서, 상기 웨트층은 TiN, Ta 및 WN 중에서 선택된 하나의 물질로서 리플로우 공정에서 금속배선과 웨팅 특성이 나쁜 물질을 이용하는 것을 특징으로 하는 반도체 장치의 콘택홀 내부를 채우는(fill) 배선층의 형성방법.

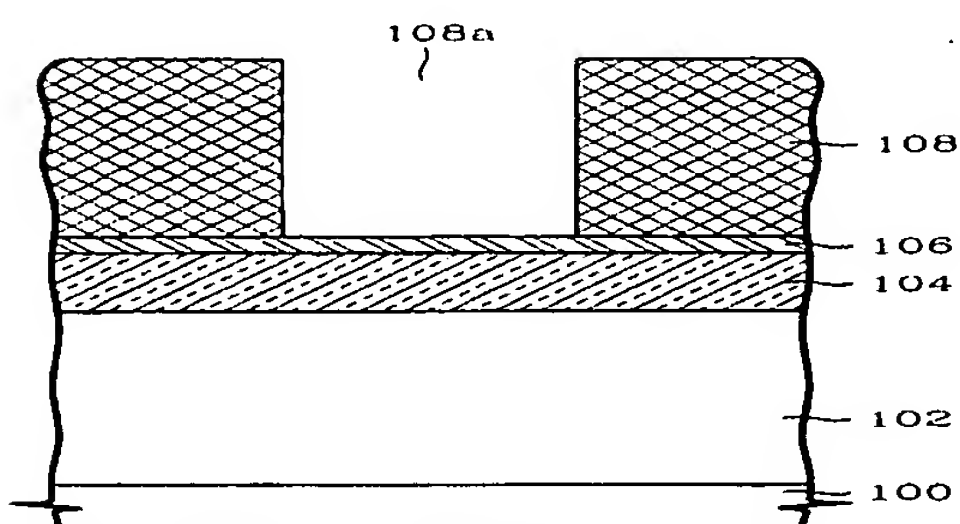
도면

도면1

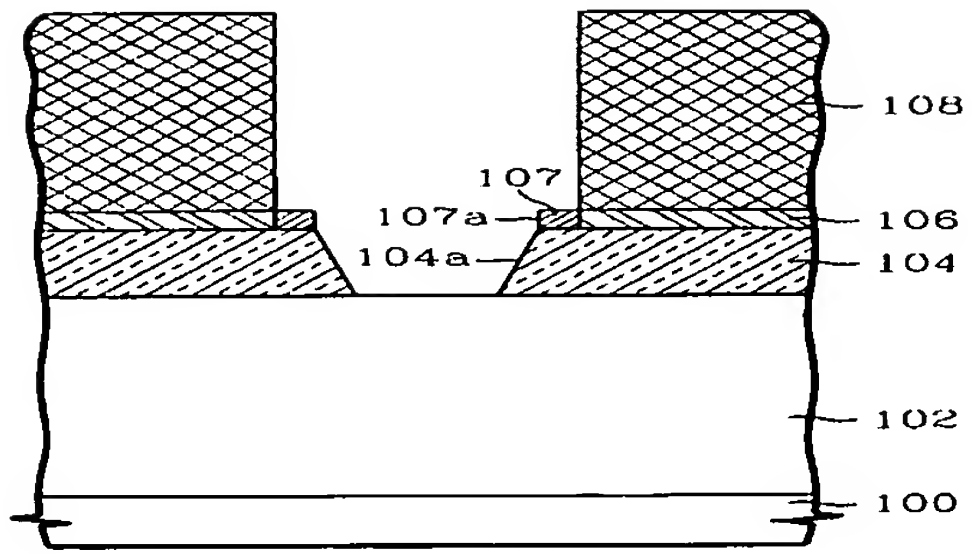
(종래기술)



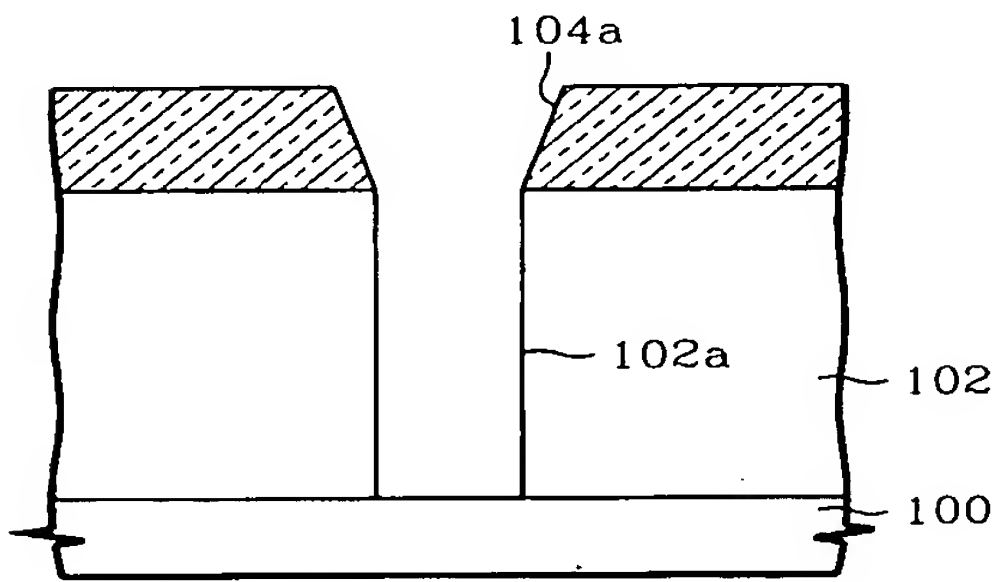
도면2



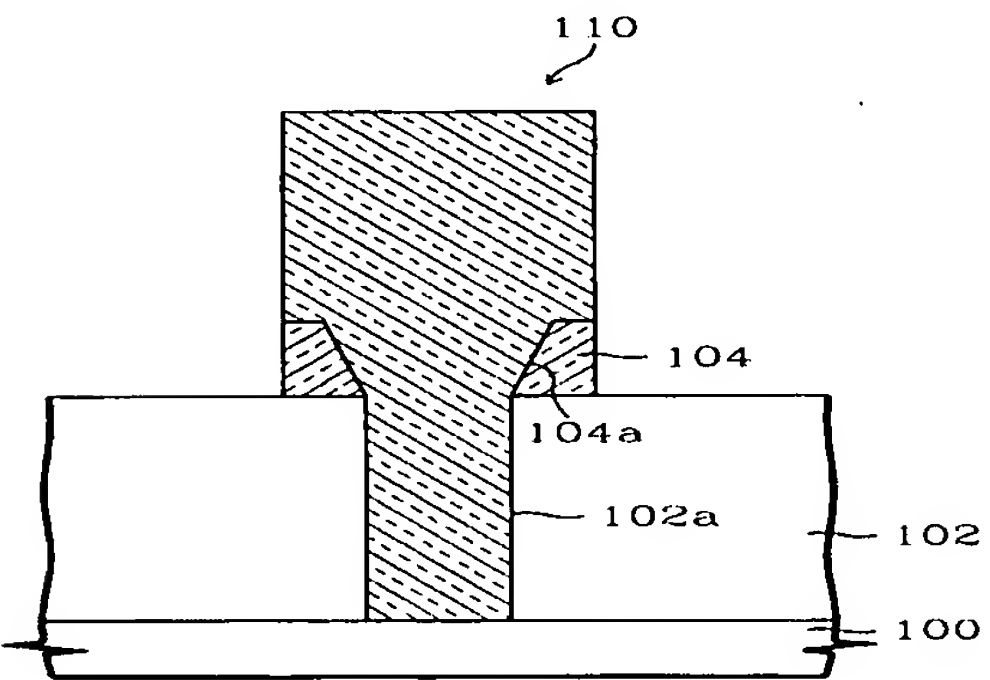
도면3



도면4



도면5



도면6

